

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04186646 A**

(43) Date of publication of application: **03 . 07 . 92**

(51) Int. Cl

H01L 21/66
H01S 3/00

(21) Application number: **02311374**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

(22) Date of filing: **19 . 11 . 90**

(72) Inventor: **OKUAKI-YUTAKA**

**(54) MARKING METHOD FOR SEMICONDUCTOR
DEVICE AND FIXING METHOD FOR THE
SEMICONDUCTOR DEVICE**

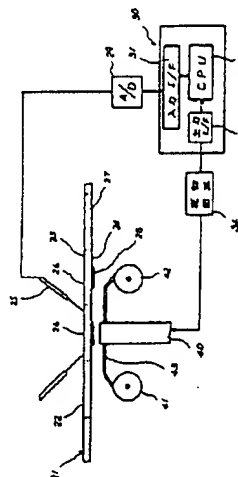
semiconductor device 26 so that the semiconductor
device can be identified as non-defective.

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To contrive the effective utilization of a mark
and to mark a semiconductor device of good quality by
marking a good identification marking member on the rear
of a non-defective semiconductor device.

CONSTITUTION: In a semiconductor device main
surface 23 where many semiconductor devices 22 are
formed in a wafer 21 and the circuit function of those
semiconductor devices is formed, probing is conducted
for the purpose of judging whether the circuit function
of the semiconductor device 22 forming a unit is good or
not. That is, a proper terminal 25 is brought into
contact with an external lead-through electrode formed
on the main surface of the unit semiconductor device 22
and a controller 30 electrically judges whether the
circuit function is good or not. As the result of that
judgment, when the semiconductor device has the
predetermined circuit function, a punch 40 is driven by
the output from a driving circuit 34 via the controller
30 to strike a tape 43 composed of good identification
marking member to stick the good identification marking
member 28 on the rear 24 of a non-defective



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-186646

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月3日

H 01 L 21/66
H 01 S 3/00

A 7013-4M
B 7630-4M

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 半導体素子のマーキング方法及びその半導体素子の固定方法

⑰ 特 願 平2-311374

⑱ 出 願 平2(1990)11月19日

⑲ 発 明 者 奥 秋 裕 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

㉑ 代 理 人 弁理士 清水 守 外2名

明 細 書

1. 発明の名称

半導体素子のマーキング方法及びその半導体素子の固定方法

2. 特許請求の範囲

(1)

(a) 半導体ウエハに形成された多数の半導体素子の回路機能を良否判定する工程と、

(b) 良品半導体素子の裏面に良識別マーク部材を付着させ、マーキングする工程とを施すことを特徴とする半導体素子のマーキング方法。

(2)

(a) 半導体ウエハに形成された多数の半導体素子の回路機能を良否判定する工程と、

(b) 良品半導体素子の裏面に良識別マークをレーザによって付す工程とを施すことを特徴とする半導体素子のマーキング方法。

(3)

(a) 半導体ウエハに形成された多数の半導体素子

の回路機能を良否判定する工程と、

(b) 良品半導体素子の裏面に良識別マーク部材をマーキングする工程と、

(c) 良品半導体素子の裏面に形成された良識別マーク部材によって半導体素子を固着する工程とを施すことを特徴とする半導体素子の固定方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に組み込まれた半導体素子の機能判定のマーキング方法及びその半導体素子の固定方法に関するものである。

(従来の技術)

従来、このような分野の技術としては、例えば実開平2-8140号公報に記載されるものがあった。

第2図は従来の半導体素子のマーキング装置の斜視図である。

この図において、10は巻取テープであり、しかも下面が粘着面になっている。この巻取テープ10は送出リール11に適当な長さ巻回されている。12は巻取リールであり、送出リール11の前方に配置

特開平4-186646 (2)

され、識別テープ10を先端側から順次巻取る。
13は送出リール11と巻取りリール12との間に張られた識別テープ10の上方に配置したパンチで、昇降自在に構成されたパンチホルダ14に取り付けられている。前記パンチ13は半導体ウエハ（以下、単にウエハという）5に形成された半導体ベレット6より小さい径のものを使用し、下端周縁13aを尖らせ、下端面13bを平坦面に形成されている。

ここで、識別テープ10は、第4図に示すように、その裏面に磁性体16を被着させたものを使用する。磁性体16を被着させた識別テープ10を用いると、ベレットマウント時、不良の半導体ベレット6に貼着された識別テープ片10aに磁性体16が被着されているので、該磁性体16を利用して、磁気吸引等の手段で自動的に選別して不良品を除去することができ、

上記構造のマーキング装置は、識別テープ10の先端を巻取りリール12に巻き付け、送出リール11と巻取りリール12との間に識別テープ10を適当な長さ張り、半導体ベレット6を多数形成したウエハ5

の上方に配置する。そして、ウエハ5と識別テープ10との間にブローバード（図示なし）を挿入し、各半導体ベレット6、6…の特性検査を行う。検査の結果、不良の半導体ベレット6が検出されると、その半導体ベレット6上へ識別テープ10及びパンチ13を移動させ、その後、パンチホルダ14を降下させて、第3図(a)に示すように、パンチ13にて識別テープ10を打ち抜き、打ち抜いた識別テープ片10aを、第3図(b)に示すように、パンチ13の下端面13bにて不良の半導体ベレット6の裏面に押付けて貼着する。この後、パンチホルダ14が上昇し、パンチ13が識別テープ10から抜けると、巻取りリール12が回転して識別テープ10を少し巻き取り、孔あき部15をパンチ13からずらせる。

不良の半導体ベレット6が検出される度に上記動作を繰り返して、不良の半導体ベレット6の裏面に識別テープ片10aを貼着する。

検査終了後、ウエハ5はベレットマウント工程へ送られ、ここで各半導体ベレット6、6…が分断され、個々にリードフレーム等にマウントされ

る。このベレットマウント時、識別テープ片10aが貼着された半導体ベレットは除外する。

（発明が解決しようとする課題）

しかしながら、上記構成のマーキング装置では、不良品を磁性体識別マークを貼着して磁気吸引等の手段で自動選別して除去するようにしているが、マークが不良品に貼着されているので、選別後、回路機能が不良である半導体素子と共に、貼着したマークも破棄することになり、経済的に問題があった。

本発明は、上記問題点を除去するために、良品半導体素子の回路を形成した主表面ではなく、その裏面にマーキングすることにより、マーク材の有効利用を図り得る、しかも品質の高い半導体素子のマーキング方法及びその半導体素子の固定方法を提供することを目的とする。

（課題を解決するための手段）

本発明は、上記目的を達成するために、半導体素子のマーキング方法において、半導体ウエハに形成された多数の半導体素子の回路機能を良否判

定する工程と、良識別マーク部材を良品半導体素子の裏面に付着させ、マーキングする工程とを施すようにしたものである。

また、半導体ウエハに形成された多数の半導体素子の回路機能を良否判定する工程と、良品半導体素子の裏面に良識別マークをレーザによって付す工程とを施すようにしたものである。

更に、半導体素子の固定方法において、半導体ウエハに形成された多数の半導体素子の回路機能を良否判定する工程と、良品半導体素子の裏面に良識別マーク部材をマーキングする工程と、良品半導体素子裏面に形成された良識別マーク部材によって半導体素子を固着する工程とを施すようにしたものである。

（作用）

本発明にれば、上記したように、半導体ウエハに形成された多数の半導体素子の回路機能を良否判定し、良識別マーク部材を良品半導体素子の裏面に付着させ、マーキングする。

また、半導体ウエハに形成された多数の半導体

素子の回路機能を良否判定し、良識別マークを良品半導体素子の裏面にレーザによって付す。

更に、半導体ウエハに形成された多数の半導体素子の回路機能を良否判定し、良品半導体素子の裏面に良識別マーク部材をマーキングし、良品半導体素子の裏面に形成された良識別マーク部材によって半導体素子を固着する。

従って、マークの有効利用を図ることができ、しかも品質の高い半導体素子のマーキングを行うことができる。

(実施例)

以下、本発明の実施例について図面を参照しながら詳細に説明する。

第1図は本発明の第1の実施例を示すウエハに形成された多数の半導体素子の回路機能を良否を判定するブローピングとそのマーキングシステムの構成図である。なお、従来と同一構成部分については、同一番号を付してその説明を省略する。

図中、21は半導体ウエハ、22は半導体素子、23は半導体素子主表面、24は半導体素子裏面、25は

ブローバー端子、26は良品半導体素子、27は不良品半導体素子、28は良識別マーク部材、29はA/D変換器、30はコントローラ、31は入力インターフェース、32は中央処理装置(CPU)、33は出力インターフェース、34は駆動回路、40はパンチ、41は送り出しリール、42は巻取りリール、43は識別マーク部材からなるテープである。

第1図において、ウエハ21には多数の半導体素子22が形成され、その回路機能が形成された半導体素子主表面23において、単位となる半導体素子22の回路機能の良否判定を行うためブローピングを行う。即ち、ブローバー端子25を単位半導体素子22の主表面に形成された外部導出電極(図示なし)に接触させて、コントローラ30にて電気的に回路機能の良否を判定する。

その判定の結果、所定の回路機能を有する場合には、コントローラ30を経て駆動回路34からの出力により、パンチ40を駆動して、良品半導体素子26には、良識別マーク部材からなるテープ43をパンチ40によって叩くことにより半導体素子裏面24

に良識別マーク部材28を貼着させ、良品であることが識別できるようにする。

回路機能が不良品半導体素子27には良識別マーク部材28は貼着させない。

次工程にて、スクライピング、細片分割された半導体素子の中から良識別マーク部材28のない細片は不良品として除外する。

第5図は本発明の第2の実施例を示すウエハに形成された多数の半導体素子の回路機能を判定するブローピング及びそのマーキングシステムの構成図である。なお、前記実施例と同様の部分には同じ番号を付し、それらの説明は省略する。

この実施例においては、パンチ40に代えてレーザ装置50を用いるようにしている。即ち、ブローバー端子25を単位半導体素子22の主表面23に形成された外部導出電極(図示なし)に接触させて、コントローラ30にて電気的に回路機能を判定する。その判定の結果、所定の回路機能を有する場合には、コントローラ30を経て駆動回路34からの出力はレーザ装置50の駆動により、良品半導体素子26

の裏面に良識別マーク51を付ける。

ところで、従来のように、レーザをもって不良品半導体素子表面にマーキングすると、瞬間的に高温化したマーキングエリアから、溶融したウエハ表面部材が飛散することによって、良品半導体素子主表面に付着する。そのため、ワイヤボンディング等において、傷や電極部のクラック等の不具合が発生する。

この実施例においては、かかる不具合をなくすることができる。

第6図は本発明の第3の実施例を示すウエハのマーキング状態を示す図である。なお、従来と同一構成部分については、同一番号を付してその説明を省略する。

この実施例においては、例えばポリエステルテープに所定の形状に加工した良識別マーク部材の両面に、粘着材を形成した良識別マークダイボンズ部材からなるテープ60を、パンチ40で半導体素子裏面24に押圧貼着させて良識別マークダイボンズ部材61を付着させて、良識別マークとする。ま

特開平4-186646 (4)

たは、比較的軟らかい金属で、貼着性の大きい、インジウム金属をテープ状に加工して、識別マークダイボンド部材テープとして用いて、パンチで所定の形状に打ち抜き、半導体素子裏面に貼着させて、識別マークとして使用するようにしてもよい。

このようにして、良品半導体素子の裏面に良識別マークが形成される。

更に、半導体素子の製造にあたりその識別マークをダイスボンド材として、溶融、接着等の方法によって、半導体素子を素子搭載部、例えばアイランドや基板上に固着するようにしたので、識別マーク部材とダイスボンド材を併用することができる。工程の簡略化、資源の有効利用を図ることができる。

なお、第1実施例及び第3実施例においては、マーキング時にウエハに上方に向かう力が加わるので、この力を受けるために、ウエハコーナをクランプのような固定治具を用いて保持する。

また、本発明は上記実施例に限定されるもので

はなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

(発明の効果)

以上、詳細に説明したように、本発明によれば、良品半導体素子の裏面に良識別マーク部材をマーキングするようにしたので、マークの有効利用を図ることができ、しかも品質の高い半導体素子のマーキングを行うことができる。

また、識別マーク部材を良品半導体素子の固着材を兼ねるようにすることにより、工程を簡略化し、半導体装置を安価に製造することができる。

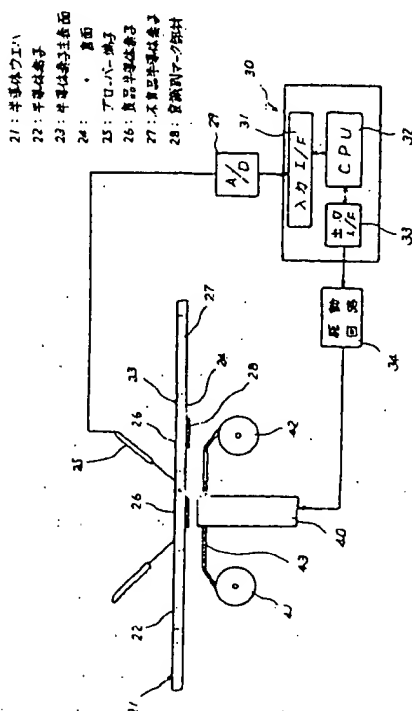
更に、マーキングとしてレーザが利用できるので、作業時間が早く、取扱が容易であり、例えば、インク等を使用するよりも安価である。

4. 図面の簡単な説明

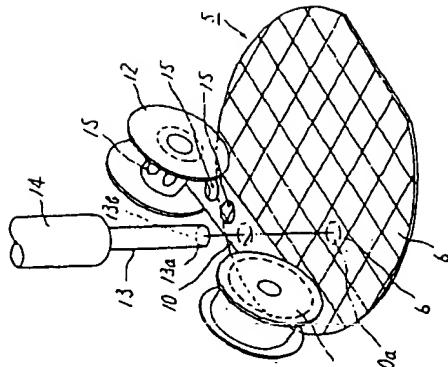
第1図は本発明の第1の実施例を示すウエハに形成された多数の半導体素子の回路機能を判定するブローピングとそのマーキングシステムの構成図、第2図は従来の半導体素子のマーキング装置

の斜視図、第3図は従来の半導体素子のマーキング工程図、第4図は従来の半導体素子のマーキングに用いる識別テープの断面図、第5図は本発明の第2の実施例を示すウエハに形成された多数の半導体素子の回路機能を判定するブローピング及びそのマーキングシステムの構成図、第6図は本発明の第3の実施例を示すウエハのマーキング状態を示す図である。

21…ウエハ、22…半導体素子、23…半導体素子主表面、24…半導体素子裏面、25…ブローバー端子、26…良品半導体素子、27…不良品半導体素子、28…良識別マーク部材、29…A/D変換器、30…コントローラ、31…入力インタフェース、32…中央処理装置(CPU)、33…出力インタフェース、34…駆動回路、40…パンチ、41…送り出しリール、42…巻取りリール、43…識別マーク部材からなるテープ、50…レーザ装置、51…マーク、60…良識別マークダイボンド部材からなるテープ、61…良識別マークダイボンド部材。

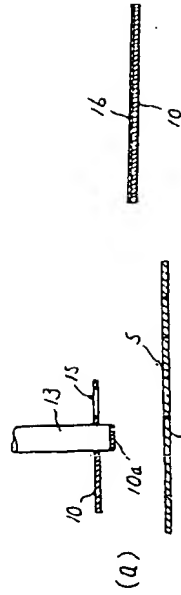


本発明の第1の実施例のマーキングシステムの構成図
第1図



従来の半導体素子のマージング装置の斜視図

第2図

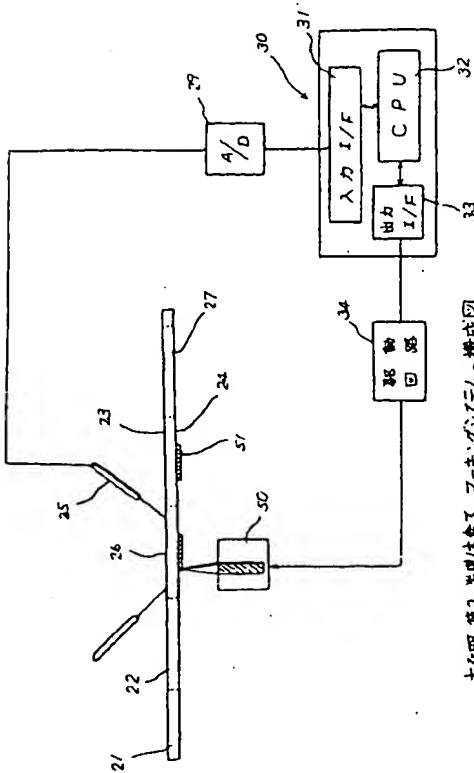


従来の線切りテーパー断面図

第4図

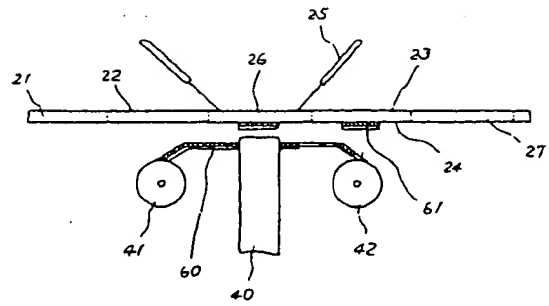
従来の半導体素子のマージング工程図

第3図



本発明の第2の半導体素子のマージングシステムの構成図

第5図



本発明の第3の半導体素子のマージング状態を示す図

第6図